طراحی مدارهای مجتمع آنالوگ CMOS

ویراست دوم

بهزاد رضوی

دکتر داریوش شیری

www.ketab.ir

نیاز دانش

سرشناسه	: رضوی، بهزاد، ۱۳۴۰	Razavi, Behzad
عنوان و نام پدیدآور	: **طراحی مدارهای مجتمع آنالوگ CMOS** / بهزاد رضوی؛ [مترجم] داریوش شیری.	
مشخصات نشر	: تهران: نیاز دانش، ۱۳۹۸.	
مشخصات ظاهری	: ۱۰۰۶ ص.: مصور، نمودار.	
شابک	: ۹۷۸-۶۰۰-۸۹۰۶-۴۲-۱	
وضعیت فهرست‌نویسی	: فیپا	
یادداشت	: عنوان اصلی:	Design of analog CMOS integrated circuits, [2017]
موضوع	: مدارهای مجتمع سی. ماس آنالوگ	Analog CMOS integrated circuits
موضوع	: مدارهای مجتمع خطی -- طرح و ساختمان	
	Linear integrated circuits -- Design and construction	
موضوع	: نیمه هادی‌های اکسید فلزی مکمل	Metal oxide semiconductors, Complementary
شناسه افزوده	: شیری، داریوش، ۱۳۵۴، مترجم.	
رده‌بندی کنگره	: ۱۳۹۸ ۴ط۶ر/TK۷۸۷۴/۶۵۴	
رده‌بندی دیویی	: ۶۲۱/۳۸۱۵	
شماره کتابشناسی ملی	: ۵/۴۰۵	

نیازدانش

نام کتاب	:	**طراحی مدارهای مجتمع آنالوگ CMOS / ویراست دوم**
مؤلف	:	بهزاد رضوی
مترجم	:	دکتر داریوش شیری
مدیر اجرایی ـ ناظر بر چاپ	:	حمیدرضا ا محمد شیرازی - محمد شمس
ناشر	:	نیاز دانش
صفحه‌آرا	:	واحد تولید انتشارات نیازدانش
نوبت چاپ	:	اول - ۱۳۹۸
شمارگان	:	۲۰۰ نسخه
قیمت	:	۱۰۰۰۰۰۰ ریال

شابک: ۹۷۸-۶۰۰-۸۹۰۶-۴۲-۱ **ISBN:978-600-8906-42-1**

هرگونه چاپ و تکثیر (اعم از زیراکس، بازنویسی، ضبط کامپیوتری و تهیه‌ی CD) از محتویات این اثر بدون اجازهٔ کتبی ناشر ممنوع است، متخلفان به موجب بند ۵ از مادهٔ ۲ قانون حمایت از مؤلفان، مصنفان و هنرمندان تحت پیگرد قانونی قرار می‌گیرند.

کلیه حقوق این اثر برای ناشر محفوظ است.

آدرس انتشارات: تهران، میدان انقلاب، خیابان ۱۲ فروردین، تقاطع وحید نظری، پلاک ۲۵۵، طبقه ۱، واحد ۲

۰۲۱-۶۶۴۷۸۱۰۶-۶۶۴۷۸۱۰۸-۰۹۱۲۷۰۷۳۹۳۵

www.Niaze-Danesh.com

مشاوره جهت نشر: ۲۱۰۶۷۰۹ - ۰۹۱۲

www.ketab.ir

پیشگفتار ویراست دوم

وقتی پیشنهاد نخستین ویرایش این کتاب را برای ناشر فرستادم از من دو پرسش پرسیدند: (۱) در آینده تقاضا برای کتاب‌های آنالوگ در دنیای دیجیتال تا چه‌اندازه است؟ و (۲) آیا عاقلانه است که کتابی چاپ شود که منحصراً به CMOS بپردازد؟ واژه‌های "آنالوگ" و "CMOS" در عنوان کتاب زیر سؤال بودند. خوشبختانه کتاب با پذیرهٔ دانشجویان، معلمان و مهندسان روبه‌رو شد. صدها دانشگاه در دنیا آن‌را برای متن درسی برگزیدند، به پنج زبان ترجمه شد و ۶۵۰۰ بار به آن ارجاع داده شده است.

اگرچه بسیاری از اصول اولیهٔ طراحی آنالوگ از زمان ویرایش نخست تاکنون تغییر نکرده‌است ولی چند عامل نیاز به ویرایش دوم را سبب شد: رفتن فناوری‌های CMOS به سوی اندازه‌های کوچک و منابع تغذیه با ولتاژهای کم‌تر، روش‌های جدید تحلیل و طراحی و نیاز به پرداختن جزئی‌تر به برخی از موضوع‌ها. این ویرایش دارای مطالب زیر است:

- تأکید بیشتر روی فناوری جدید CMOS که در فصلی جدید، فصل ۱۱، به آن پرداخته شده است و به روش‌های طراحی و ساخت گام‌به‌گام آپ‌امپ در فرآیندهای نانومتری می‌پردازد.
- بررسی کامل فیدبک با روش‌های بود (Bode) و میدلبروک (Middlebrook).
- بخش جدیدی روی تحلیل پایداری با به کار بردن روش نایکویست (Nyquist)، برای این‌که روش رایج بُود در بعضی سیستم‌های معمولی درست کار نمی‌کند.
- مطالعهٔ FinFET ها.
- متن‌های جانبی که نکات مهمی در طراحی نانومتری را نشان می‌دهند.
- بخش جدیدی روی روش‌های بایاس کردن.
- مطالعهٔ مدارهای گاف انرژی با ولتاژ پایین.
- بیش از ۱۰۰ مثال جدید.

بعضی مدرسان ممکن است بپرسند که چرا با افزارهٔ قانون مربعی آغاز می‌کنیم. برای دو دلیل: (۱) این مسیر با یک دیدگاه شهودی آغاز می‌شود و ارزش چشم‌گیری در تحلیل تقویت‌کننده‌ها بر حسب سوینگ مجاز ولتاژ دارد و (۲) FinFET ها با وجود طول کانال کوتاه آن‌ها ـ در افزاره‌های $16\,nm$ و کوچک‌تر ـ تقریباً مشخصه قانون ـ مربعی دارند.

این کتاب یک راهنمای حل مسأله و مجموعهٔ جدیدی از اسلایدهای پاورپوینت دارد که در سایت www.mhhe.com/razavi در دسترس است.

بهزاد رضوی
ژولای ۲۰۱۵

www.ketab.ir

فهرست مطالب

عنوان | شماره صفحه

فصل ۱ / آشنایی با طراحی آنالوگ ۲۷

۱-۱ چرا آنالوگ؟ ۲۷

۱-۱-۱ سنجش و پردازش سیگنال‌ها ۲۷

۱-۱-۲ وقتی سیگنال‌های دیجیتال آنالوگ می‌شوند ۲۸

۱-۱-۳ نیاز به طراحی آنالوگ بالاست ۳۰

۱-۱-۴ چالش‌های طراحی آنالوگ ۳۱

۱-۲ چرا مدرج؟ ۳۲

۱-۳ چرا CMOS؟ ۳۲

۱-۴ چرا این کتاب؟ ۳۳

۱-۵ سطوح تجرید (abstraction) ۳۳

فصل ۲/ فیزیک پایهٔ ترانزیستور MOS ۳۵

۲-۱ ملاحظات کلی ۳۶

۲-۱-۱ MOSFET به عنوان نوعی کلید ۳۶

۲-۱-۲ ساختار MOSFET ۳۶

۲-۱-۳ نشانه‌های MOS ۳۹

۲-۲ مشخصهٔ I/V برای MOS ۴۰

۲-۲-۱ ولتاژ آستانه (threshold) ۴۰

۲-۲-۲ به دست آوردن مشخصهٔ I / V ۴۲

۲-۲-۳ ترارسانایی MOS ۵۰

۲-۳ اثرات مرتبهٔ دوم ۵۲

۲-۴ مدل‌های ترانزیستور MOS ۵۹

۲-۴-۱ چینش (layout) ترانزیستور MOS ۵۹

۲-۴-۲ خازن‌های ترانزیستور MOS ۶۱

۲-۴-۳ مدل سیگنال کوچک MOS ۶۵

۲-۴-۴ مدل‌های SPICE برای MOS ۷۰

۲-۴-۵ مقایسهٔ NMOS با PMOS ۷۱

۲-۴-۶ مقایسهٔ کانال بلند و کانال کوتاه ۷۱

۲-۵ پیوست الف: FinFETها ۷۱

۲-۶ پیوست (ب): رفتار افزارهٔ MOS به عنوان یک خازن ۷۳

www.ketab.ir

فصل ۳/ تقویت‌کننده‌های یک طبقه ۸۳

۳-۱ کاربردها ۸۳
۳-۲ ملاحظات کلی ۸۴
۳-۳ طبقهٔ سورس ـ مشترک ۸۶
۳-۳-۱ طبقهٔ سورس مشترک با بار مقاومتی ۸۶
۳-۳-۲ طبقهٔ CS با بار دیودی ۹۲
۳-۳-۳ طبقهٔ CS با بار منبع جریان ۹۹
۳-۳-۴ طبقهٔ CS با بار فعال ۱۰۱
۳-۳-۵ طبقهٔ CS با بار تریودی ۱۰۲
۳-۳-۶ طبقهٔ CS با سورسِ سوده (degenerate) ۱۰۳
۳-۴ پیروِ سورس (Source Follower) ۱۱۱
۳-۵ طبقهٔ گیت مشترک ۱۲۱
۳-۶ طبقهٔ کسکود ۱۳۰
۳-۶-۱ کسکود تاشده (folded) ۱۴۰
۳-۷ انتخاب مدل ترانزیستور ۱۴۳

فصل ۴/ تقویت‌کننده‌های دیفرانسیلی ۱۵۳

۴-۱ کارکرد تک‌سَر و دیفرانسیلی ۱۵۳
۴-۲ زوج دیفرانسیل پایه ۱۵۶
۴-۲-۱ تحلیل کیفی ۱۵۷
۴-۲-۲ تحلیل کمّی ۱۶۱
۴-۲-۳ زوج دیفرانسیل سوده شده ۱۷۴
۴-۳ پاسخ مُد ـ مشترک ۱۷۵
۴-۴ زوج دیفرانسیلی با بارهای MOS ۱۸۳
۴-۵ سلول گیلبرت (Gilbert) ۱۸۶

فصل ۵/ آینه‌های جریان و روش‌های بایاس ۱۹۷

۵-۱ آینه جریان‌های ساده ۱۹۷
۵-۲ آینه جریان‌های کسکود ۲۰۴
۵-۳ آینه جریان‌های فعال ۲۱۳
۵-۳-۱ تحلیل سیگنال بزرگ ۲۱۶
۵-۳-۲ تحلیل سیگنال ـ کوچک ۲۲۰
۵-۳-۳ ویژگی‌های مُد ـ مشترک ۲۲۵
۵-۳-۴ ویژگی‌های دیگر در OTA پنج ترانزیستوری ۲۲۹
۵-۴ روش‌های بایاس ۲۳۰

www.ketab.ir

۵-۴-۱ بایاس CS ۲۳۰
۵-۴-۲ بایاس CG ۲۳۵
۵-۴-۳ بایاس سورس پیرو ۲۳۶
۵-۴-۴ بایاس زوج دیفرانسیل ۲۳۷

فصل ۶/ پاسخ فرکانسی تقویت‌کننده‌ها ۲۴۷

۶-۱ ملاحظات کلی ۲۴۷
۶-۱-۱ اثر میلر (Miller) ۲۴۸
۶-۱-۲ تخصیص قطب به گره‌ها ۲۵۴
۶-۲ طبقهٔ سورس مشترک ۲۵۶
۶-۳ سورس پیروها ۲۶۵
۶-۴ طبقه گیت- مشترک ۲۷۲
۶-۵ طبقهٔ کسکو ۲۷۵
۶-۶ زوج دیفرانسیل
۶-۶-۱ زوج دیفرانسیلی با بارهای غیر فعال (پسیو) ۲۷۸
۶-۶-۲ زوج دیفرانسیلی با بار فعال ۲۸۱
۶-۷ مصالحهٔ بهره- پهنای باند ۲۸۴
۶-۷-۱ مدارهای تک‌قطبی ۲۸۴
۶-۷-۲ مدارهای چند قطبی ۲۸۶
۶-۸ پیوست الف: قضیهٔ عنصر اضافی یا (EET) ۲۸۷
۶-۹ پیوست ب: روش ثابت زمانی مقدار —صفر ۲۹۰
۶-۱۰ پیوست ج: دوگانِ قضیهٔ میلر ۲۹۵

فصل ۷/ نویز (Noise) ۳۰۳

۷-۱ ویژگی‌های آماری نویز ۳۰۳
۷-۱-۱ طیف نویز ۳۰۶
۷-۱-۲ توزیع دامنه ۳۱۰
۷-۱-۳ منابع همبسته و نابسته ۳۱۱
۷-۱-۴ نسبت سیگنال به نویز ۳۱۲
۷-۱-۵ روند تحلیل نویز ۳۱۳
۷-۲ انواع نویز ۳۱۴
۷-۲-۱ نویز حرارتی ۳۱۴
۷-۲-۲ نویز فلیکر (Flicker) ۳۲۱
۷-۳ نمایش نویز در مدارها ۳۲۵
۷-۴ نویز در تقویت‌کننده‌های یک طبقه ۳۳۴

www.ketab.ir

۷-۴-۱ طبقهٔ سورس ـ مشترک ۳۳۶
۷-۴-۲ طبقهٔ گیت مشترک ۳۴۲
۷-۴-۳ سورس پیرو ۳۴۶
۷-۴-۴ طبقهٔ Cascode ۳۴۷
۷-۵ نویز در آیینه‌های جریان ۳۴۸
۷-۶ نویز در زوج‌های دیفرانسیلی ۳۵۰
۷-۷ رویارویی نویز و توان ۳۵۸
۷-۸ پهنای باند نویز ۳۶۰
۷-۹ مسألهٔ انتگرال‌گیری از نویز ورودی ۳۶۱
۷-۱۰ پیوست الف: مسألهٔ هم‌بستگی نویز ۳۶۲

فصل ۸/ فیدبک ۳۷۳

۸-۱ ملاحظات کلی ۳۷۳
۸-۱-۱ ویژگی‌های مدارهای فیدبک‌دار ۳۷۴
۸-۱-۲ گونه‌های تقویت‌کننده ۳۸۲
۸-۱-۳ سازوکارهای سنجش و بازگرداندن ۳۸۵
۸-۲ توپولوژی‌های فیدبک ۳۸۷
۸-۲-۱ فیدبک ولتاژ ـ ولتاژ ۳۸۸
۸-۲-۲ فیدبک جریان ـ ولتاژ ۳۹۴
۸-۲-۳ فیدبک ولتاژ ـ جریان ۳۹۷
۸-۲-۴ فیدبک جریان ـ جریان ۴۰۱
۸-۳ اثر فیدبک روی نویز ۴۰۲
۸-۴ مشکلات تحلیل فیدبک ۴۰۴
۸-۵ بارگذاری ۴۰۸
۸-۵-۱ مدل‌های شبکهٔ دو- پورت ۴۰۸
۸-۵-۲ بارگذاری در فیدبک ولتاژ ـ ولتاژ ۴۱۰
۸-۵-۳ بارگذاری در فیدبک جریان ـ ولتاژ ۴۱۵
۸-۵-۴ بارگذاری در فیدبک ولتاژ- جریان ۴۱۸
۸-۵-۵ بارگذاری در فیدبک جریان ـ جریان ۴۲۱
۸-۵-۶ خلاصهٔ اثرات بارگذاری ۴۲۳
۸-۶ روش بُود (Bode) در تحلیل مدارهای فیدبک‌دار ۴۲۴
۸-۶-۱ مشاهدات ۴۲۴
۸-۶-۲ تفسیر ضرایب ۴۲۵
۸-۶-۳ تحلیل بُود (Bode) ۴۳۰
۸-۶-۴ قضیهٔ امپدانس بلاکمَن (Blackman) ۴۳۵

www.ketab.ir

۸-۷ روش میدلبروک (Middlebrook) ۴۴۳
۸-۸ دشواری‌های محاسبهٔ بهرهٔ حلقه ۴۴۴
۸-۸-۱ مفاهیم اولیه ۴۴۴
۸-۸-۲ مشکلات نسبت بازگشتی ۴۴۸
۸-۹ تفسیر دیگری از روش بُود ۴۴۹

فصل ۹/ تقویت‌کننده‌های عملیاتی ۴۶۱

۹-۱ ملاحظات کلی ۴۶۱
۹-۱-۱ پارامترهای کاری ۴۶۲
۹-۲ آپ‌امپ‌های یک طبقه ۴۶۷
۹-۲-۱ توپولوژی‌های ساده ۴۶۷
۹-۲-۲ رویهٔ طراحی ۴۷۲
۹-۲-۳ تغییر خطی اندازه‌ها ۴۷۵
۹-۲-۴ آپ‌امپ‌های کسکود تا شده (Folded) ۴۷۶
۹-۲-۵ ویژگی‌های آسکود تا شده ۴۸۰
۹-۲-۶ رویهٔ طراحی ۴۸۱
۹-۳ آپ‌امپ‌های دو طبقه ۴۸۳
۹-۳-۱ فرآیند طراحی ۴۸۶
۹-۴ بهره افزایی (Gain Boosting) ۴۸۸
۹-۴-۱ مفهوم پایه ۴۸۸
۹-۴-۲ پیاده‌سازی مدار ۴۹۳
۹-۴-۳ پاسخ فرکانسی ۴۹۷
۹-۵ مقایسه ۴۹۹
۹-۶ محاسبهٔ سوینگ خروجی ۵۰۰
۹-۷ فیدبک مُد ـ مشترک ۵۰۱
۹-۷-۱ مفاهیم پایه ۵۰۱
۹-۷-۲ روش‌های سنجش CM ۵۰۴
۹-۷-۳ روش‌های فیدبک CM ۵۰۸
۹-۷-۴ CMFB در آپ‌امپ‌های دو طبقه ۵۱۶
۹-۸ محدودیت‌های گسترهٔ ورودی ۵۱۹
۹-۹ آهنگ چرخش (Slew) ۵۲۱
۹-۱۰ آپ‌امپ‌هایی با آهنگ چرخش بالا ۵۲۹
۹-۱۰-۱ آپ‌امپ‌های یک طبقه ۵۲۹
۹-۱۰-۲ آپ‌امپ‌های دو طبقه ۵۳۲
۹-۱۱ حذف اثر منبع تغذیه ۵۳۳

www.ketab.ir

۹-۱۲ نویز در آپ‌امپ‌ها ۵۳۵

فصل ۱۰/ پایداری و جبران‌سازی فرکانسی ۵۴۷

۱-۱۰ ملاحظات کلی ۵۴۷
۲-۱۰ سیستم‌های چند قطبی ۵۵۲
۳-۱۰ کرانهٔ (Margin) فاز ۵۵۴
۴-۱۰ مبانی جبران‌سازی فرکانسی ۵۵۸
۵-۱۰ جبران‌سازی آپ‌امپ‌های دو طبقه ۵۶۶
۶-۱۰ چرخش (slewing) در آپ‌امپ‌های دو طبقه ۵۷۵
۷-۱۰ روش‌های دیگر جبران‌سازی ۵۷۸
۸-۱۰ معیارهای پایداری نایکویست ۵۸۳
۱۰-۸-۱ انگیزه ۵۸۳
۱۰-۸-۲ مفاهیم پایه ۵۸۵
۱۰-۸-۳ ساختن منحنی‌های قطبی ۵۸۷
۱۰-۸-۴ اصل کوشی (Cauchy) ۵۹۳
۱۰-۸-۵ روش نایکویست (Nyquist) ۵۹۳
۱۰-۸-۶ سیستم‌هایی با قطب در مبدا ۵۹۷
۱۰-۸-۷ سیستم‌هایی با چند بار گذر از ۱۸۰ ۶۰۱

فصل ۱۱/ بررسی طرح‌های نانومتری ۶۰۹

۱-۱۱ ملاحظات طراحی ترانزیستور ۶۰۹
۲-۱۱ اثرات زیر میکرونی عمیق ۶۱۱
۳-۱۱ تغییر (scaling) ترارسانایی ۶۱۴
۴-۱۱ طراحی ترانزیستور ۶۱۸
۱-۴-۱۱ طراحی برای I_D و V_{DSmin} داده شده ۶۱۹
۲-۴-۱۱ طراحی برای I_D و g_m داده شده ۶۲۲
۳-۴-۱۱ طراحی برای g_m و $V_{DS,min}$ داده شده ۶۲۵
۴-۴-۱۱ طراحی برای g_m داده شده ۶۲۵
۵-۴-۱۱ گزینش طول کانال ۶۲۷
۵-۱۱ مثال‌های طراحی آپ – امپ ۶۲۷
۱-۵-۱۱ آپ‌امپ تلسکوپی ۶۲۷
۲-۵-۱۱ آپ‌امپ دو طبقه ۶۴۵
۶-۱۱ تقویت‌کنندهٔ پر سرعت ۶۵۵
۱-۶-۱۱ ملاحظات کلی ۶۵۵
۲-۶-۱۱ طراحی آپ امپ ۶۶۱

www.ketab.ir

۱۱-۶-۳ عملکرد سیگنال کوچک حلقهٔ بسته ۶۶۲
۱۱-۶-۴ تنظیم آپ امپ ۶۶۴
۱۱-۶-۵ رفتار سیگنال بزرگ ۶۶۵
۱۱-۷ چکیده ۶۶۸

فصل ۱۲/ مرجع ولتاژ و جریان ۶۷۱

۱۲-۱ ملاحظات کلی ۶۷۱
۱۲-۲ بایاس مستقل از منبع تغذیه ۶۷۲
۱۲-۳ مراجع مستقل از دما ۶۷۶
۱۲-۳-۱ ولتاژ با TC منفی ۶۷۶
۱۲-۳-۲ ولتاژ با TC مثبت ۶۷۷
۱۲-۳-۳ مرجع شکاف باند انرژی ۶۷۹
۱۲-۴ تولید جریان PTAT ۶۸۸
۱۲-۵ بایاس با G_m ثابت ۶۹۰
۱۲-۶ مشکلات سرعت و نویز ۶۹۱
۱۲-۷ مراجع شکاف باندِ ولتاژ ـ بایپولار ۶۹۶
۱۲-۸ مطالعهٔ یک مدار خاص ۷۰۰

فصل ۱۳/ درآمدی بر مدارهای کلیدی ـ خازنی ۷۰۹

۱۳-۱ ملاحظات کلی ۷۱۰
۱۳-۲ کلیدهای نمونه‌بردار ۷۱۵
۱۳-۲-۱ کلیدهای ماسفتی MOSFET ۷۱۵
۱۳-۲-۲ ملاحظات مربوط به سرعت ۷۲۰
۱۳-۲-۳ ملاحظاتی مربوط به دقت ۷۲۲
۱۳-۲-۴ حذف بار تزریقی ۷۲۶
۱۳-۳ تقویت‌کننده‌های کلیدی ـ خازنی ۷۲۹
۱۳-۳-۱ بافر/نمونه بردار بهرهٔ ـ یک ۷۲۹
۱۳-۳-۲ تقویت‌کننده‌های ناوارونگر (noninverting) ۷۳۸
۱۳-۳-۳ مدار دو برابر کنندهٔ دقیق ۷۴۴
۱۳-۴ انتگرال‌گیر کلیدی ـ خازنی ۷۴۶
۱۳-۵ فیدبک مد مشترک کلیدی ـ خازنی (SC) ۷۴۹

فصل ۱۴/ اثر غیرخطی و ناهمسانی ۷۵۷

۱۴-۱ اثر غیرخطی ۷۵۷
۱۴-۱-۱ ملاحظات کلی ۷۵۷

www.ketab.ir

۱۴-۱-۲ اثر غیرخطی در مدارهای دیفرانسیلی ۷۶۱
۱۴-۱-۳ تأثیر فیدبک منفی بر خاصیت غیرخطی ۷۶۳
۱۴-۱-۴ اثر غیرخطی در خازن ۷۶۵
۱۴-۱-۵ خاصیت غیرخطی در مدارهای نمونه بردار ۷۶۶
۱۴-۱-۶ روش‌های خطی‌سازی ۷۶۸
۱۴-۲ ناهمسانی (Mismatch) ۷۷۵
۱۴-۲-۱ اثر ناهمسانی ۷۷۸
۱۴-۲-۲ روش‌های حذف آفست ۷۸۳
۱۴-۲-۳ کاهش نویز به وسیلهٔ حذف آفست ۷۸۸
۱۴-۲-۴ تعریف دیگری برای CMRR ۷۹۰

فصل ۱۵/ نوسان‌سازها ۷۹۵

۱۵-۱ ملاحظات کلی ۷۹۵
۱۵-۲ نوسان‌سازهای حلقوی ۷۹۷
۱۵-۳ نوسان‌سازهای LC ۸۰۹
۱۵-۳-۱ مفاهیم پایه ۸۰۹
۱۵-۳-۲ نوسان‌ساز Cross-Coupled (ضربدری) ۸۱۳
۱۵-۳-۳ نوسان‌ساز کلپیتز (Colpitts) ۸۱۶
۱۵-۳-۴ نوسان‌سازهای یک ـ دهانه‌ای ۸۱۹
۱۵-۴ نوسان‌سازهای کنترل شده با ولتاژ (VCO) ۸۲۴
۱۵-۴-۱ تنظیم نوسان‌سازهای حلقوی ۸۲۷
۱۵-۴-۲ تنظیم در نوسان‌سازهای LC ۸۳۷
۱۵-۵ مدل ریاضی VCOها ۸۴۱

فصل ۱۶/ حلقه‌های قفل فاز ۸۴۹

۱۶-۱ PLL ساده ۸۴۹
۱۶-۱-۱ آشکارساز فاز ۸۵۰
۱۶-۱-۲ توپولوژی پایهٔ PLL ۸۵۱
۱۶-۱-۳ دینامیک PLL ساده ۸۶۰
۱۶-۲ PLL هایی پمپ باز ۸۶۷
۱۶-۲-۱ مسألهٔ گیراندازی قفل ۸۶۸
۱۶-۲-۲ آشکارساز فاز / فرکانس ۸۶۹
۱۶-۲-۳ پمپ بار ۸۷۳
۱۶-۲-۴ PLL پمپ بار ساده ۸۷۴
۱۶-۳ اثرات غیر ایده‌آل در PLLها ۸۸۲

www.ketab.ir

۱۶-۳-۱ اثرات غیر ایده‌آل PFD/CP ۸۸۲
۱۶-۳-۲ لرزش در PLLها ۸۸۷
۱۶-۴ حلقه‌های قفل درنگ (DLL) ۸۸۹
۱۶-۵ کاربردها ۸۹۲
۱۶-۵-۱ ضرب و سنتز فرکانس ۸۹۲
۱۶-۵-۲ کاهش جابجایی (skew) ۸۹۵
۱۶-۵-۳ کاهش لرزش (jitter) ۸۹۶

فصل ۱۷/ اثرات کانال کوتاه و مدل‌های ترانزیستور ۸۹۹

۱۷-۱ نظریهٔ کوچک شدن (Scaling) ۹۰۰
۱۷-۲ اثرات کانال کوتاه ۹۰۴
۱۷-۲-۱ تغییر ولتاژ آستانه ۹۰۴
۱۷-۲-۲ کاهش قابلیت تحرک با میدان عمودی ۹۰۷
۱۷-۲-۳ اشباع سرعت ۹۰۸
۱۷-۲-۴ اثرات الکترون‌های داغ (انرژی) ۹۱۰
۱۷-۲-۵ تغییر امپدانس خروجی با ولتاژ درین ـ سورس ۹۱۱
۱۷-۳ مدل‌های افزارهٔ MOS ۹۱۲
۱۷-۳-۱ مدل سطح ۱ ۹۱۳
۱۷-۳-۲ مدل سطح ۲ ۹۱۳
۱۷-۳-۳ مدل سطح ۳ ۹۱۶
۱۷-۳-۴ مجموعهٔ BSIM ۹۱۷
۱۷-۳-۵ مدل‌های دیگر ۹۱۸
۱۷-۳-۶ مدل‌سازی خازن و بار ۹۱۹
۱۷-۳-۷ وابستگی به دما ۹۲۰
۱۷-۴ گوشه‌های فرآیند ۹۲۰

فصل ۱۸/ فناوری ساخت CMOS ۹۲۵

۱۸-۱ ملاحظات کلی ۹۲۵
۱۸-۲ پردازش ویفر ۹۲۷
۱۸-۳ لیتوگرافی نوری ۹۲۷
۱۸-۴ اکسیداسیون ۹۲۹
۱۸-۵ کاشت یونی ۹۳۰
۱۸-۶ لایه نشانی و زُدایش (etching) ۹۳۲
۱۸-۷ ساخت افزاره ۹۳۳
۱۸-۷-۱ افزاره‌های فعال ۹۳۳

www.ketab.ir

۱۸-۷-۲ افزاره‌های غیرفعال ۹۳۸
۱۸-۷-۳ اتصالات ۹۴۴
۱۸-۸ قفل شدن Latch-up ۹۴۷

فصل ۱۹/ چینش و بسته‌بندی ۹۵۳

۱۹-۱ ملاحظات کلی چینش (Layout) ۹۵۳
۱۹-۱-۱ قوانین طراحی ۹۵۴
۱۹-۱-۲ اثر آنتن ۹۵۶
۱۹-۲ روش‌های چینش آنالوگ ۹۵۷
۱۹-۲-۱ تزیید ورهای چند انگشتی (Multi-finger) ۹۵۷
۱۹-۲- تقابل ۹۶۰
۱۹-۲- مشکل نوارهای جداکنندهٔ اکسیدی (Shallow Trench Isolation) ۹۶۵
۱۹-۲-۴ اثرات همسایگی چاه ۹۶۶
۱۹-۲-۵ توزیع جریان و واریرجع ۹۶۶
۱۹-۲-۶ افزاره‌های غیرفعال ۹۶۸
۱۹-۲-۷ اتصالات ۹۷۷
۱۹-۲-۸ پایه‌ها و حفاظت ESD ۹۸۲
۱۹-۳ تزویج زیربنا ۹۸۵
۱۹-۴ بسته‌بندی ۹۹۱

پیوست / فرآیند ساخت FinFET ۱۰۰۳

www.ketab.ir